

Prof. Dr. Rolf Drechsler ([drechsle@informatik.uni-bremen.de](mailto:drechsle@informatik.uni-bremen.de)) Bremen, Mai 2005

FB 3 – Institut für Informatik  
MZH, Raum 3510  
Tel: 0421 218 7389

## 2. Übungsblatt zur Vorlesung

### Qualitätsorientierter Hardware-Entwurf

#### Aufgabe 1

Warum ist ein AND-Gatter über 10 Eingänge wie in der Vorlesung beschrieben „random pattern resistant“? Warum gilt selbiges auch für ein OR-Gatter dieser Größe?

[20%]

#### Aufgabe 2

Beschreibe den Verlauf eines „typischen“ Entwurfsvorgangs.

[20%]

#### Aufgabe 3

Was bezeichnen die Begriffe *Design Gap* und *Verification Gap*?

[30%]

#### Aufgabe 4

Worin besteht der Unterschied zwischen *Design Verification* und *Implementation Verification*?

[30%]

**(Abgabe bitte bis zum 24. Mai im Tutorium)**