



1. Übungsblatt zur Vorlesung

# Qualitätsorientierter Hardware-Entwurf

## Aufgabe 1

Erläutere den Unterschied zwischen Test und Verifikation.

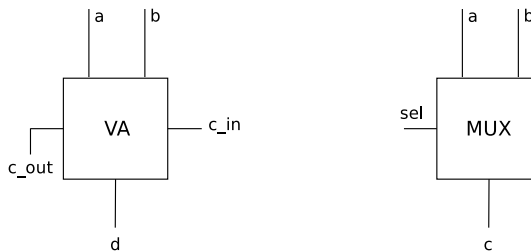
## Aufgabe 2

In der Hardwarebeschreibungssprache (kurz: HDL) VHDL wird zwischen Signalen und Variablen unterschieden. Erläutere den Unterschied.

## Aufgabe 3

Im Hardware-Entwurfsablauf werden verschiedene Entwurfsebenen unterschieden, u.a. die RTL-Ebene und die Netzliste. Während auf der RTL-Ebene komplexere Einheiten wie Addierer und Multiplizierer dargestellt werden können, besteht eine Netzliste aus Grundgattern wie NOT, AND, NAND, OR und NOR Gattern.

Betrachte folgende Komponenten:



- a) Stelle den abgebildeten Volladdierer (VA) als Netzliste dar.

Erinnerung: Die Signale  $a$  und  $b$  sollen unter Berücksichtigung des *carry\_in* ( $c_{in}$ ) addiert werden. Das Ergebnis wird auf  $d$  gelegt. Der mögliche Übertrag liegt nach der Berechnung auf  $c_{out}$ .

- b) Stelle den abgebildeten Multiplexer (MUX) als Netzliste dar.

Erinnerung: Die Signalleitung  $sel$  gibt an, welcher Eingang durchgeschaltet wird. Liegt der Wert 1 an  $sel$ , wird  $a$  auf  $c$  gelegt. Liegt 0 auf  $sel$ , wird  $b$  durchgeschaltet.

## Aufgabe 4

Entwerfe eine VHDL Beschreibung (*entity*, *architecture*) für einen Multiplexer (MUX). Beachte hierbei, dass die Beschreibung nicht nur 1-bit Eingänge bzw. einen 1-bit Ausgang enthalten soll, sondern  $n$ -bit Eingänge und einen  $n$ -bit Ausgang. Der *select*-Eingang gibt also an, welches *Wort* durchgeschaltet wird.

**Die Aufgaben werden am 07.05.2008 besprochen.**