



Prof. Dr. Rolf Drechsler, drechsler@informatik.uni-bremen.de, MZH 3510
Dr. Nicole Drechsler nd@informatik.uni-bremen.de, MZH 3485

4. Übungsblatt zur Vorlesung

Technische Informatik 1

Aufgabe 1

(3 Punkte)

In der Vorlesung haben wir zwei Organisationsformen für Caches kennengelernt: den *vollassoziativen Cache* (VA) und den *direct-mapped Cache* (DM).

- Stelle in Tabellenform die Vor- und Nachteile beider Verfahren einander gegenüber. Erläutere außerdem jeden aufgeführten Tabelleneintrag mit einer entsprechenden Begründung.
- Überlege Dir dann, wie man die Nachteile beider Verfahren durch eine *Kombination* beider Organisationsformen überwinden könnte (Hinweis: eine solche Kombination gibt es wirklich, diese ist unter dem Namen *n-fach assoziativer Cache* bekannt).

Aufgabe 2

(3 Punkte)

Beim Entwurf eines Rechners wird als Cache Speicher ein *direct-mapped cache* vorgesehen.

- Beim entgeltigen Entwurf werden versehentlich statt der i niederwertigsten die i höchstwertigen Bits in den Dekoder geschoben, während die restlichen Bits als Adress-TAG verwendet werden. Bei nachfolgenden Messungen stellt man fest, dass die Trefferrate nicht wie erwartet bei 96.7 % sondern deutlich unter 60 % liegt. Wie ist dies zu erklären?
- Vor der Entscheidung zu Gunsten eines *direct-mapped Caches* wurde eine neue Schaltung für die Realisierung der *LRU* Verdrängungsstrategie entwickelt, durch die gegenüber herkömmlichen Schaltungen 10 % der Gatter eingespart werden können. Warum ist dies im vorliegenden Fall bedeutungslos?

Aufgabe 3

(7 Punkte)

In einer CPU werde ein *vollassoziativer Cache* mit 4 Cacheblöcken verwendet.

- Innerhalb eines laufenden Programms auf der oben beschriebenen CPU wird auf die folgenden Adressen nacheinander zugegriffen.

0x10B, 0x0FF, 0x113, 0xB00, 0x0FF, 0x200, 0x10B, 0x0FF, 0x10B, 0xB00,
0x113, 0x110, 0x112, 0xB00

(Anmerkung: Das Präfix $0x$ kennzeichnet einen Wert in Hexadezimaldarstellung, also zur Basis 16:

$$0xA1D = 10 \cdot 16^2 + 1 \cdot 16^1 + 13 \cdot 16^0 = 2589)$$

Aus den Datenwörtern welcher Adressen setzen sich die Blöcke des Cache nach den jeweiligen Zugriffen zusammen, wenn die *first-in-first-out* (FIFO)-Strategie benutzt wird? Zu wievielen Cache-Misses kommt es?

- Wie ist dagegen das Verhalten wenn die *least-recently-used* (LRU)-Verdrängungsstrategie verwendet wird?
- Verhält sich die LRU-Strategie immer besser als die FIFO-Strategie? Gib ein Beispiel zur Erklärung an.
- Bei welcher der beiden Verdrängungsstrategien kann die Entscheidung, welcher Cache-Block ersetzt wird, schneller getroffen werden? Begründe deine Antwort!

Aufgabe 4

(3 Punkte)

Beim Entwurf eines Rechners ist man sich unklar darüber, ob man ihn mit einem *direct-mapped Cache* (DM), einem *2-fach assoziativen Cache* (2A) oder einem *vollassoziativen Cache* (VA) ausstatten soll.

Die geschätzten technischen Daten für die zur Verfügung stehenden Caches:

Cache	Trefferrate	Zugriffszeit des Cache	Zugriffszeit zum Hauptspeicher
DM	92,0 %	10,0 ns	196 ns
2A	94,2 %	12,5 ns	200 ns
VA	96,9 %	14,0 ns	198 ns

(Dabei gibt die Trefferrate an, bei wieviel Prozent der Speicherzugriffe ein Cache-Hit vorkommt.) Für welchen Cache sollte man sich entscheiden, wenn keine weiteren Kriterien berücksichtigt werden müssen?

Aufgabe 5

(4 Punkte)

Zeige: Die durchschnittliche Anzahl von Sektoren, die bei der Positionierung des Schreib-/Lesekopfes auf einem beliebigen Sektor einer Spur überschritten wird, beträgt $\frac{(n-1)}{2}$.

Annahmen:

1. Der Schreib-/Lesekopf ist bereits auf der richtigen Spur positioniert.
2. Die Spur enthält n Sektoren.
3. Jeder Sektor der Spur ist gleichwahrscheinlich.

In welchem Zusammenhang steht dieses Ergebnis mit der Aussage aus der Vorlesung, dass die Latenzzeit 0.5 Umdrehungen beträgt?

Abgabetermin: zu Beginn der Vorlesung am 14.05.2009