



Prof. Dr. Rolf Drechsler, drechsler@informatik.uni-bremen.de, MZH 3510  
Dr. Robert Wille, rwille@informatik.uni-bremen.de, MZH 3485  
Oliver Keszöcze, keszocze@informatik.uni-bremen.de, MZH 3440

4. Übungsblatt zur Vorlesung

# Technische Informatik 1

## Aufgabe 1

(1, 5 + 1, 5 Punkte)

In der Vorlesung haben wir zwei Organisationsformen für Caches kennengelernt: den *vollassoziativen Cache* (VA) und den *direct-mapped Cache* (DM).

- Stelle in Tabellenform die Vor- und Nachteile beider Verfahren einander gegenüber. Erläutere außerdem jeden aufgeführten Tabelleneintrag mit einer entsprechenden Begründung.
- Überlege dir dann, wie man die Nachteile beider Verfahren durch eine *Kombination* beider Organisationsformen überwinden kann. (Hinweis: Eine solche Kombination gibt es wirklich, diese ist unter dem Namen *n-fach assoziativer Cache* bekannt!)

## Aufgabe 2

(2 + 2 + 2 + 1 Punkte)

In einer CPU wird ein vollassoziativer Cache mit vier Cacheblöcken verwendet.

- Innerhalb eines laufenden Programms auf der oben beschriebenen CPU wird auf die folgenden Adressen nacheinander zugegriffen:

0xD09, 0xE10, 0xF01, 0xE16, 0xE10, 0xB01, 0xE16, 0xF01,  
0xB12, 0xB01, 0xC01, 0xF01, 0xB12, 0xB01, 0xC02, 0xF01

(Anmerkung: Das Präfix 0x kennzeichnet einen Wert in Hexadezimaldarstellung, also zur Basis 16:  $0xD09 = 13 \cdot 16^2 + 0 \cdot 16^1 + 9 \cdot 16^0 = 3337$ )

Aus den Datenwörtern welcher Adressen setzen sich die Blöcke des Cache nach den jeweiligen Zugriffen zusammen, wenn die *FIFO-Strategie* (*first in first out*) benutzt wird? Zu wie vielen Cache-Misses kommt es?

- Wie ist dagegen das Verhalten, wenn die *LRU-Verdrängungsstrategie* (*least recently used*) verwendet wird?
- Verhält sich die LRU-Strategie immer besser als die FIFO-Strategie? Begründe deine Aussage oder gib ein Gegenbeispiel an.
- Bei welcher der beiden Verdrängungsstrategien kann die Entscheidung, welcher Cache-Block ersetzt wird, schneller getroffen werden? Begründe deine Antwort!

## Aufgabe 3

(3 Punkte)

Beim Entwurf eines Rechners ist man sich unklar darüber, ob man ihn mit einem direct-mapped Cache (DM), einem 2-fach assoziativen Cache (2A) oder einem vollassoziativen Cache (VA) ausstatten soll.

Die Zugriffszeit zum Hauptspeicher beträgt 65 ns.

Die geschätzten technischen Daten für die zur Verfügung stehenden Caches:

Cache	Trefferrate	Zugriffszeit des Cache
DM	89,7%	1,1 ns
2A	93,6%	2,4 ns
VA	95,8%	3,0 ns

Dabei gibt die Trefferrate an, bei wie viel Prozent der Speicherzugriffe ein Cache-Hit vorkommt. Für welchen Cache sollte man sich entscheiden? Finde selbst ein geeignetes Kriterium basierend auf den geschätzten technischen Daten nach dem du deine Wahl triffst.

#### Aufgabe 4

(4 Punkte)

Zeige, dass die durchschnittliche Anzahl von Sektoren einer Festplatte, die bei der Positionierung des Schreib-/Lesekopfes auf einem beliebigen Sektor einer Spur überschritten wird,  $\frac{(n-1)}{2}$  beträgt.

Annahmen:

- Der Schreib-/Lesekopf ist bereits auf der richtigen Spur positioniert.
- Die Spur enthält  $n$  Sektoren.
- Der Zugriff auf jeden Sektor der Spur ist gleichwahrscheinlich.

In welchem Zusammenhang steht dieses Ergebnis mit der Aussage aus der Vorlesung, dass die Latenzzeit 0,5 Umdrehungen beträgt?

#### Aufgabe 5

(1,5 + 1,5 Punkte)

Beim Entwurf eines Rechners wird als Cache Speicher ein direct-mapped Cache vorgesehen.

- Beim endgültigen Entwurf werden versehentlich statt der  $i$  niederwertigsten die  $i$  höchstwertigen Bits mit dem Dekoder verdrahtet, während die restlichen Bits als Adress-Tag verwendet werden. Bei nachfolgenden Messungen stellt man fest, dass die Trefferrate nicht wie erwartet bei 95,7% sondern deutlich unter 60% liegt. Wie ist dies zu erklären?
- Vor der Entscheidung zu Gunsten eines direct-mapped Caches wurde eine neue Schaltung für die Realisierung der LRU-Verdrängungsstrategie entwickelt, durch die gegenüber herkömmlichen Schaltungen 10% der Gatter eingespart werden können. Warum ist dies im vorliegenden Fall bedeutungslos?

**Abgabetermin: vor Beginn der Vorlesung am Montag den 13. Mai 2012. Achtung: Abweichender Wochentag!**