

Willkommen



Liebe Leserinnen und Leser,

vor 10 Jahren begann ich meine Tätigkeit an der Universität Bremen.

Ausgehend von einem „Zwei-Personen-Team“ ist die Gruppe zum Oktober 2011 auf über 25 Mitarbeiterinnen und Mitarbeiter angewachsen.

In der vorliegenden Ausgabe des Newsletters informieren wir über aktuelle Aktivitäten, unter anderem über neue BMBF-Projekte und bestehende Kooperationen mit internationalen Partnern.

Ich wünsche viel Freude bei der Lektüre und einen schönen Start in das Wintersemester 2011/2012.

Inhalt

- BMBF-Projekt „VisES“
- DDECS Best Paper Award
- Kooperation Duke University
- Open Source Framework
- SolVerTec
- Lehrangebot Wintersemester 2011/2012
- Abschlussarbeiten | 3 Einblicke
- Humboldt Lecture | Kaushik Roy
- Ehrenamt | WISE | Neu im Team
- Kurz notiert...

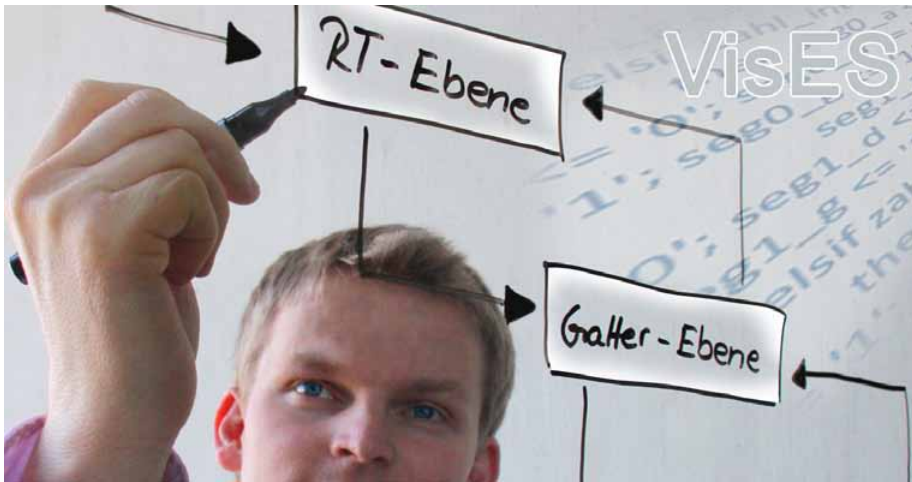


Impressum

Redaktion & Herausgeber: AG Rechnerarchitektur
Inhaltlich verantwortlich: Prof. Dr. Rolf Drechsler

Arbeitsgruppe Rechnerarchitektur
Universität Bremen FB3
Bibliothekstrasse 1 - MZB
28359 Bremen

Telefon: +49 421 218 - 6 39 30 + 31
Telefax: +49 421 218 - 73 85
Email: sek-ra@informatik.uni-bremen.de



BMBF-Projekt „VisES“

Details in komplexen Strukturen erkennen

Gemeinsam mit der Concept Engineering GmbH forscht die Arbeitsgruppe an neuen Visualisierungsmethoden für den Hardwareentwurf auf ESL-Ebene



**Bundesministerium
für Bildung
und Forschung**

Heutige Schaltungen bestehen häufig aus Milliarden von Komponenten,

welche entworfen und analysiert werden müssen. Dabei fallen große Mengen an Informationen an, die es zu berücksichtigen gilt. Um hier den Überblick zu behalten, werden Schaltungsentwürfe für den Benutzer graphisch aufbereitet. Zu diesem Zweck gibt es für niedrige Abstraktionsebenen bereits seit vielen Jahren leistungsfähige Computer-Werkzeuge, die zum Beispiel Netzlisten von Schaltungen übersichtlich darstellen.

Höhere Abstraktionen erfordern neue Visualisierungsformen

Schaltkreise sind heutzutage so komplex, dass sie sich nicht mehr nur noch mit Hilfe von Netzlisten entwerfen lassen. Insbesondere in frühen Entwurfsphasen muss auf abstraktere und damit leistungsfähigere Beschreibungen zurückgegriffen werden – man spricht hierbei vom Entwurf auf der elektronischen Systemebene (engl.: Electronic System Level, kurz: ESL). Hier kommen leistungsfähige Programmiersprachen zum Einsatz, welche komplexere Beschreibungen ermöglichen. Details sind in diesen Strukturen für den Menschen aber kaum noch zu erfassen. Dadurch wird es zunehmend schwieriger, Fehler im Entwurf frühzeitig zu erkennen und anschließend beheben zu können. Um das zu ändern, muss die Schnittstelle zwischen Mensch und Maschine verbessert werden – neue Visualisie-

rungswerkzeuge für den ESL-basierten Schaltungsentwurf werden gebraucht.

Gemeinsame Forschungsanstrengungen von Industrie und Universität

Gemeinsam mit der Concept Engineering GmbH aus Freiburg im Breisgau forscht die Arbeitsgruppe seit Juni 2011 an der Entwicklung solcher Werkzeuge. Gefördert vom Bundesministerium für Bildung und Forschung (BMBF) sollen dabei in den nächsten Jahren neue und innovative Methoden entwickelt werden, die von der abstrakten Beschreibung eines Systems eine leicht verständliche graphische Darstellung generieren. Mit dieser Ergänzung wird es den Benutzern ermöglicht, durchgängig ein System auf verschiedenen Ebenen zu betrachten und zu analysieren. Dadurch wird ein ganzheitlicher Ansatz ermöglicht, um Fehler in komplexen Systemen schnell zu lokalisieren und damit Sicherheit und Robustheit zu gewährleisten.

Das Projekt mit dem Titel „VisES“ wird im Rahmen des „KMU-innovativ“-Programms gefördert, das gezielt die Zusammenarbeit von mittelständigen Unternehmen mit Universitäten und Forschungseinrichtungen unterstützt. Ziel ist es, die neuen Methoden unmittelbar nach ihrer Entwicklung industriell zu festigen und damit dem Markt zugänglich zu machen. Die dazu nötigen Forschungen werden in enger Kooperationen mit externen Anwendern wie OneSpin Solutions GmbH (München) und GLOBALFOUNDRIES GmbH (Dresden) durchgeführt. Mehr Informationen: <http://www.informatik.uni-bremen.de/agra/news/4/vises>

DDECS Best Paper Award



Die fortschreitende Skalierung von Schaltkreiskomponenten führt zu einer stärker werdenden Störanfälligkeit der Systeme

durch Alterung, Prozessvariationen in der Herstellung und Umgebungsstrahlung. Wir verlassen uns aber auf die korrekte Funktionsweise der zahlreichen elektronischen Geräte in unserem Alltag. Robustheit spielt dabei also eine immer größere Rolle. Doch wie kann man Robustheit für Schaltungen und Systeme in eine Maßzahl fassen? Dieses Thema untersucht die Arbeitsgruppe und wurde auf dem *13th IEEE International Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS)* in Wien ausgezeichnet. Die von Stefan Frehse, Görschwin Fey und Rolf Drechsler verfasste Arbeit erhielt den Best Paper Award im Bereich Testen. Die Idee der Autoren ist einleuchtend: Sie blenden den schlimmsten Fall aus, weil er zwar theoretisch denkbar, faktisch aber nicht möglich ist. Dies hilft zu entscheiden, an welcher Stelle ein Chip am anfälligsten ist und verändert werden muss, um die Robustheit des Gesamtsystems zu steigern.

Mehr Informationen: <http://www.informatik.uni-bremen.de/agra/news/4/ddecs>

Open Source Framework zur SMT Programmierung



Formale Methoden setzen Beweisverfahren ein,

um Aussagen garantieren zu können. Beispielsweise werden Beweiser zur Lösung des Booleschen Erfüllbarkeitsproblems (engl.: Satisfiability, kurz: SAT) sehr erfolgreich beim Nachweis funktionaler Eigenschaften von Schaltkreisen verwendet. In den vergangenen Jahren wurden sogenannte SMT-Beweiser (engl.: Satisfiability Modulo Theory, kurz SMT) entwickelt, welche SAT-Beweiser um Entscheidungsverfahren z.B. für Bitvektoren, lineare Arithmetik oder Arrays erweitern.

Die Arbeitsgruppe forscht ebenfalls auf dem Gebiet der SMT-Beweiser. Es existieren jedoch mehrere Formate zur Beschreibung einer Problem-Instanz und eine Vielzahl von SMT-Beweisern. Deshalb wurde von der Arbeitsgruppe die Software-Umgebung metaSMT entwickelt. metaSMT erlaubt eine sehr einfache Einbindung unterschiedlichster SMT- und SAT-Beweiser ohne dabei die Vorteile der einzelnen Verfahren aufzugeben. Als Open Source Framework wird metaSMT Wissenschaftlerinnen und Wissenschaftlern für eigene Forschung frei zur Verfügung gestellt.

Mehr Informationen: <http://www.informatik.uni-bremen.de/agra/ger/metasmtp>

Kooperation mit renommierter Privat-Universität



Im Chip-Entwurf müssen wir uns zunehmend mit der Problematik befassen, dass die Fertigungstechnologie zu immer

neuartigeren Fehlereffekten führt, die wiederum immer weniger von den etablierten Testverfahren erkannt werden.

Um neue Verfahren zu entwickeln, die diese Fehlereffekte besser erkennen können und so die Sicherheit von Computerchips erhöhen, kooperiert die Arbeitsgruppe mit der renommierten Duke University (North Carolina, USA). Die auch als „Harvard des Südens“ bezeichnete Privat-Universität zählt zu den besten Universitäten der Welt.

Zur Etablierung der Kooperation verbrachte Stephan Eggersgluß im April/Mai 2011 einen Forschungsaufenthalt in der Arbeitsgruppe von Prof. Krishnendu Chakrabarty an der Duke University. Im Gegenzug war Prof. Chakrabarty, der auch Humboldt-Preisträger ist, im Juni/Juli 2011 zur Vertiefung des initialen Forschungsansatzes Gast an der Universität Bremen.

SolVerTec | Von der Wissenschaft in die Praxis - BMWi fördert Produktentwicklung



Bundesministerium für Wirtschaft und Technologie

Werden komplexe Systeme entworfen, ist die Suche nach Entwurfsfehlern – das Debugging – eines der

zeitaufwändigsten Probleme. Dies gilt insbesondere für den Entwurf Eingebetteter Systeme. Hier verursacht die Fehlersuche bis zu 30% der gesamten Entwurfszeit. Dabei sind Eingebettete Systeme omnipräsent – sei es beim Telefonieren, beim Autofahren oder an der Kasse beim Einkaufen.

Unternehmen sind deshalb stets gefordert, Wettbewerbsnachteilen auf Grund von Zeitverlust und rapide steigenden Kosten durch zügiges und zuverlässiges Debugging entgegenzuwirken. So kann es z.B. einen enormen wirtschaftlichen Vorteil bedeuten, mit einem neuen Handy-Modell zuerst am Markt zu sein. Das Wissenschaftlerteam, bestehend aus

Rolf Drechsler, Görschwin Fey, Daniel Große und Andre Süflow, forscht seit mehreren Jahren erfolgreich an Methoden um das Debugging zu automatisieren. „Nun gehen wir einen Schritt weiter und es entsteht ein Produkt für die Praxis“, sagt Daniel Große. Das Produkt soll automatisch mögliche Fehlerstellen in der Systembeschreibung aufzeigen und erklären – eine Aufgabe, die für den einzelnen Entwickler einen enormen Zeitaufwand bedeutet. Dass hier eine deutliche Beschleunigung zu erwarten ist, wird klar, sobald man sich vergegenwärtigt, dass Systembeschreibungen für moderne Eingebettete Systeme mehrere hundert Datendateien und viele tausend Zeilen Programmcode umfassen. „Und dabei haben wir uns ein sportliches Ziel gesteckt: Diese Debugging-Software soll in den kommenden 18 Monaten zur Marktreife geführt werden“, sagt Görschwin Fey, überzeugt dass sie es schaffen.

Gefördert wird das „SolVerTec - Solution Verification Technologies“ genannte Vorhaben vom Bundesministerium für Wirtschaft und Technologie (BMWi) im Rahmen des EXIST-Forschungstransfers.



Mit diesem Programm werden gezielt technische Weiterentwicklungen aus Hochschulen unterstützt, die in konkrete Unternehmensgründungen münden. Die Förderung umfasst mehrere Stellen sowie Sachmittel.

Wintersemester 2011/12

Rechnerarchitektur und Eingebettete Systeme (V+Ü) | BB-701.01

In der Vorlesung wird eine Einführung in grundlegende Fragen, Methoden und Techniken der Rechnerarchitektur vermittelt.

Heuristische Optimierungsverfahren (V+Ü) ME-701.04

Im Rahmen dieser Veranstaltung werden sowohl exakte als auch moderne heuristische Such- und Optimierungsverfahren erarbeitet.

Test von Schaltungen und Systemen (V+Ü) ME-701.08

In der Vorlesung wird eine Einführung in grundlegende Fragen, Methoden und Techniken des Hardware-Tests gegeben.

Vertiefungsveranstaltung TI 1 (S) BE-7011.06

Es werden ausgewählte Themen der Technischen Informatik bearbeitet. Vertieft werden insbesondere Fragestellungen der Verifikation und des Testens digitaler Schaltungen.

Moderne Aspekte der Rechnerarchitektur (S) ME-701.05

Im Seminar werden neuste Entwicklungen in der Rechnerarchitektur behandelt. Dabei sollen insbesondere verlässliche bzw. fehlertolerante Architekturen betrachtet werden.

Graduiertenseminar Rechnerarchitektur (S) 03-05-H-701.91

Die Veranstaltung richtet sich an Studierende, welche ihre Abschlussarbeit in der Arbeitsgruppe schreiben. Dabei werden die jeweiligen Themen der Arbeit näher behandelt.

Projekt McChip (P) 03-05-H-902.87

Im Projekt McChip (Multicore Chip) werden Entwurf und Programmierung von Prozessoren mit mehreren Kernen betrachtet.

Projekt Chip4U (P) 03-BP-902.01

In diesem Projekt wird ein eigenes eingebettetes System entworfen und realisiert. Dabei wird am konkreten Beispiel betrachtet wie heutzutage eingebettete Systeme entstehen.

Legende:

(V+Ü) Vorlesung+Übung
(S) Seminar, (P) Projekt

Mehr Informationen: <http://www.informatik.uni-bremen.de/agra/ger/lehmat.php>

Abschlussarbeiten

Abschlussarbeiten stellen den Höhepunkt des Studiums dar. An dieser Stelle präsentieren wir Einblicke in ausgewählte Arbeiten. Studierende auf der Suche nach Themen für ihre Abschlussarbeit sind stets willkommen.

Oliver Keszöcze

Realization of Modular Exponentiation in Reversible Logic using Automatic Design Methods



Quantenschaltungen gelten als neue aufkommende Technologie, welche in Zukunft enorme Leistungssteigerungen für viele schwierige Probleme ermöglichen können. So ließe sich mit ihnen zum Beispiel das Problem der Faktorisierung – eines der „Fundamente“ heutiger Verschlüsselungstechnologien – problemlos lösen. Entsprechend ist die Grundlagenforschung in diesem Gebiet im vollen Gange. Mit dabei: Oliver Keszöcze, der im Rahmen seiner Bachelor-Arbeit die Qualität bisher verfügbarer Syntheseverfahren für Quantenschaltungen evaluiert hat. Seine Untersuchungen zeigen, dass sich wesentliche Komponenten entsprechender Schaltungen zwar mittlerweile automatisch generieren lassen, die Qualität der Ergebnisse aber noch deutlich verbessert werden muss.

Bachelor

Markus Groß

Automatische kontrollflussbasierte Programm-Synthese mithilfe formaler Methoden



Software begegnet uns überall. Vom Smartphone, über den PC bis hin zu sicherheitskritischen Bereichen. Die korrekte Funktionsweise von Software ist somit sehr wichtig. In der Regel wird jedoch versucht die Korrektheit der Software im Nachhinein sicherzustellen. Herr Groß geht in seiner Master-Arbeit einen anderen Weg. Er betrachtet das Konzept der automatischen Programm-erzeugung (Synthese). Die so generierten Programme erfüllen formal beweisbar genau die Aufgabe, die ihnen gestellt wurde. Konkret hat Herr Groß die Erweiterung der sequentiellen Programm-Synthese um Kontrollfluss (z.B. Sprünge) sowie die Synthese optimaler Programme hinsichtlich Speicherplatz oder Programmlänge untersucht. In Experimenten konnten die Vorteile der neuen Verfahren klar demonstriert werden.

Master

Melanie Diepenbeck

SAT-basierte Fehlererkennung auf Basis des Single Stuck-At Fehlermodells



In ihrer Diplomarbeit befasste sich Melanie Diepenbeck mit der Fehlererkennung von Testmustern für den Produktionstest digitaler Schaltungen auf Basis des Booleschen Erfüllbarkeitsproblems (SAT). Bisher wurden Testmuster-generierung und Fehlersimulation getrennt betrachtet. In ihrer Arbeit wurde nun ein Verfahren vorgestellt, wie sich die Fehlererkennung als ein SAT-Problem darstellen lässt. Das heißt zusätzlich zum generierten Test kann ein SAT-Beweiser auf diese Weise auch eine Menge detektierbarer Fehler liefern. Dies hat den Vorteil, dass sich die Fehlererkennung und die SAT-basierte Testmuster-generierung eng verzahnen lässt. Melanie Diepenbeck ist nach erfolgreichem Beenden ihres Studiums nun Mitarbeiterin in der Arbeitsgruppe.

Diplom

Lehre

Preisübergabe und Humboldt-Lecture

Krönender Abschluss des 12-monatigen Aufenthaltes

Foto: Humboldt-Stiftung

Von August 2010 bis Juli 2011 war Professor Kaushik Roy von der US-amerikanischen Purdue University (West Lafayette) Gast in Bremen. Als Preisträger des mit 60.000 Euro dotierten Forschungspreises der Alexander von Humboldt-Stiftung hat er dabei mit seinem Hintergrund im Entwurf programmierbarer Logik und energieeffizienter (low power) Schaltkreise die Arbeitsgruppe bereichert.

Der Abschluss seines Aufenthaltes wurde nun schließlich mit zwei besonderen Veranstaltungen „gekrönt“: So erhielt Kaushik Roy vom Präsidenten der Humboldt-Stiftung Prof. Helmut Schwarz offiziell die Urkunde zu seinem Humboldt-Forschungspreis.

Kurz vor seiner Abreise hat er zudem am 7. Juli 2011 an der Universität Bremen eine Humboldt-Lecture zum Thema „A New Technology for Energy-efficient Multimedia Systems“ durchgeführt. An der Veranstaltung nahmen neben dem Rektor der Universität Bremen auch zahlreiche Professorinnen und Professoren, wissenschaftliche Mitarbeiterinnen und Mitarbeiter sowie Studierende teil. Im Anschluss fand ein „Get-Together“ mit dem Preisträger statt, bei dem nochmal auf die zwölf sehr fruchtbaren Monate zurückgeblickt werden konnte.



Fotos: Harald Rehling

Mitarbeit in Programmkomitees

Nachwuchs der Arbeitsgruppe aktiv beteiligt

EHRENAMT
...Doktorvater & Doktoröhne

Neue wissenschaftliche Ergebnisse werden in der Regel in Form von Aufsätzen (so genannten Papers) auf Konferenzen oder in Zeitschriften veröffentlicht. Um dabei die Qualität der Ergebnisse zu sichern, werden sie im Vorfeld ehrenamtlich von Experten begutachtet und anschließend von einem Programmkomitee endgültig bewertet. Erst wenn das Programmkomitee von dem Beitrag einer Arbeit und der Plausibilität der Ergebnisse überzeugt ist, wird sie z.B. auf einer Konferenz oder einem Workshop veröffentlicht. Den Gutachtern sowie den Mitgliedern des Programmkomitees kommt dabei in diesem als Peer-Review bezeichneten Prozess eine wichtige und vertrauenswürdige Rolle zu.

Nachdem die Arbeitsgruppe vertreten durch Rolf Drechsler bereits seit vielen Jahren aktiv für verschiedene Tagungen als Gutachter und Mitglied von Programmkomitees tätig ist, wird mehr und mehr auch der wissenschaftliche Nachwuchs der Gruppe gefragt. So ist seit 2011 Daniel Große im Programmkomitee der *Design, Automation and Test in Europe Conference (DATE)*. Görschwin Fey und Robert Wille wurden kürzlich in das Programmkomitee der *Asian and South Pacific Design Automation Conference (ASP-DAC)* berufen. Dies sind nur einige Beispiele der stetig wachsenden wissenschaftlichen Anerkennung aber auch des Engagements des Nachwuchses der Arbeitsgruppe.

WISE Stipendiaten zu Gast

Das WISE (Working Internships in Science and Engineering) Programm des Deutschen Akademischen Austausch Dienstes

(DAAD) soll indischen Studierenden ermöglichen, an einem Forschungsprojekt an einer deutschen Hochschule bzw. Forschungseinrichtung mitzuwirken. Im Rahmen dieses Programmes wurden Ukeshkumar Subramani (Visvesvaraya National Institute of Technology, Nagpur, Indien) und Sarthak Gupta (BITS - Pilani Hyderabad campus) als Stipendiaten ausgewählt. Die Arbeitsgruppe Rechnerarchitektur begrüßte und unterstützte als Gastgeber die beiden Stipendiaten für einen Zeitraum von zwei Monaten.

Neu im Team

Im letzten halben Jahr hat die Arbeitsgruppe Zuwachs bekommen. Wir heißen sie herzlich willkommen und freuen uns auf eine gute Zusammenarbeit:



Melanie Diepenbeck



Jannis Stoppe



Ulrich Kühne



Alexander Tyapkov



Jan Malburg



Shuo Yang

Kurz notiert

Quantencomputer gelten als vielversprechende Technologie der Zukunft. Doch wie sollen die entsprechenden Schaltungen gebaut werden? Welche offenen Probleme gilt es noch zu lösen? Dies und mehr ist Thema des **Dagstuhl-Seminars** „Design of Reversible and Quantum Circuits“, das **vom 11.12.11 bis 14.12.11** auf Schloss Dagstuhl stattfindet. Organisiert wird er gemeinsam von Igor L. Markov (University of Michigan), Kenichi Morita (Hiroshima University) sowie Robert Wille aus der Arbeitsgruppe. Mehr Informationen: <http://www.dagstuhl.de/de/programm/kalender/semhp/?semnr=11502>

RevKit, das **OpenSource Toolkit** für den Entwurf reversibler Schaltungen, ist in einer neuen Version erhältlich. Diese ermöglicht es jetzt, die verschiedenen Ansätze zur Synthese, Optimierung oder Verifikation direkt aus einer graphischen Oberfläche zu starten. Weitere Informationen zu RevKit sowie der Download sind unter <http://www.revkit.org> erhältlich.



Wissenschaftliche Visionen verständlich erklärt: Im Rahmen einer ‚special session‘ der *Design Automation Conference (DAC)*

wurde gezielt nach außergewöhnlichen Ideen und Visionen für die Zukunft gesucht. Diese sollen anschließend mit Hilfe eines kurzen Videos einem breiteren Publikum verständlich erklärt werden. Mit dabei war auch ein Beitrag von Görschwin Fey, der ein neues System zum besseren Verständnis komplexer Entwürfe vorgeschlagen hat. Die dazugehörige **3-minütige Video-präsentation** ist unter <http://www.youtube.com/watch?v=4xzL5GHGVFE> zu finden.

Der Entwurf und die Verifikation auf Systemebene (ESL) werden immer wichtiger. Zu diesem Themenkomplex hat Daniel Große gemeinsam mit Frank Schirrmeyer (Synopsys) ein **Panel mit dem Titel „ESL HW/SW Verification: A Reality Check“** auf der *Design Automation Conference (DAC)* in San Diego organisiert. Renommiertere Experten aus der Industrie (von Infineon und von Qualcomm) sowie aus der Forschung (aus Oxford und von Virginia Tech) haben als Diskussteilnehmer des sehr gut besuchten Panels teilgenommen.