

TUZ2019

31. Workshop

Testmethoden und Zuverlässigkeit von Schaltungen und Systemen

24. bis 26. Februar 2019, Prien am Chiemsee

Call for Papers

Programmkomitee

J. Alt
Intel Deutschland GmbH

B. Becker
Universität Freiburg

R. Drechsler
Universität Bremen und DFKI

S. Eggersglüß
Mentor, A Siemens Business

P. Engelke
Infineon Technologies AG

G. Fey
Technische Universität Hamburg

M. Fischer
Advantest GmbH

M. Gössel
Universität Potsdam

S. Hellebrand
Universität Paderborn

K. Hofmann
Technische Universität Darmstadt

S. Holst
Kyushu Institute of Technology

W. Hoppe
Rheinmetall AG

F. Hopsch
Fraunhofer IIS EAS Dresden

R. Krenz-Baath
Hochschule Hamm-Lippstadt

M. Krstic
Universität Potsdam und IHP GmbH

A. Mayer
Infineon Technologies AG

N. Nebel
Robert Bosch GmbH

V. Petrovic
Robert Bosch GmbH

I. Polian
Universität Stuttgart

F. Pöhl
Intel Deutschland GmbH

S. Sattler
Universität Erlangen-Nürnberg

M. Sauer
Universität Freiburg

M. Schillinsky
NXP Semiconductors Germany GmbH

J. Schlöffel
Mentor, A Siemens Business

M. Schölzel
Universität Potsdam und IHP GmbH

J. Sepulveda
Technische Universität München

D. Tille
Infineon Technologies AG

M. Wahl
Universität Siegen

H.-J. Wunderlich
Universität Stuttgart

Der Workshop „Testmethoden und Zuverlässigkeit von Schaltungen und Systemen“ ist das bedeutendste deutschsprachige Forum, um Trends, Ergebnisse und aktuelle Probleme auf dem Gebiet des Tests, der Diagnose und der Zuverlässigkeit digitaler, analoger, Mixed-Signal- und HF-Schaltungen zu diskutieren. Der Austausch von Ideen ist ein wichtiges Anliegen des Workshops. Erwünscht sind sowohl Beiträge aus der industriellen Praxis als auch von Forschungseinrichtungen. Wir begrüßen stark praxisbezogene Erfahrungsberichte und Ergebnisse ebenso wie Beiträge zu theoretischen Themen.

Beiträge zu folgenden und weiteren Themen werden erbeten

- Defekt- und Fehlermodellierung
- Testerzeugung, Fehlersimulation, Selbsttest und Online-Test
- Diagnose von Ausfallursachen
- Fehlertoleranz, Robuste und strahlenresistente Systeme
- Selbstreparatur und Selbstheilung
- Testgerechter Entwurf, DFT Methodik
- Test von Mixed-Signal, HF- und Analog-Schaltungen
- Analoge Fehlersimulation
- Systemtest und –zuverlässigkeit
- Funktionale Sicherheit (ISO 26262)
- Test mechatronischer Systeme
- Automatisches Test-Equipment und Testmodellierung
- Testautomatisierung, Testprogramme
- Teststandards, IEEE 1687, IEEE P1838
- Testkosten und Qualität
- Hardwaresecurity & Test



Der Workshop findet im **Yachthotel Chiemsee, Prien**, statt und wird von Intel Deutschland und Mentor, A Siemens Business organisiert und von der Universität Bremen unterstützt. Interessenten werden gebeten, die Zusammenfassung ihres Beitrags im Umfang von maximal 2 Seiten über die Workshop-Homepage einzureichen. Der Beitrag sollte den Zweck der Arbeit, den Neuigkeitsgehalt und Aspekte der Anwendung beschreiben. Angenommene Beiträge werden auf Wunsch in den informellen Workshop-Handout aufgenommen. Hierzu kann der Beitrag auf 4 Seiten erweitert werden.

Um einen freien Austausch von Ideen und Informationen zu erleichtern, sind während des Workshops Video- und Audioaufzeichnungen nicht gestattet. Die Sprache des Workshops ist deutsch, Beiträge oder Vorträge in englischer Sprache sind jedoch willkommen.

Workshop-Homepage: <http://www.tuz-workshop.de>

Einreichung der Beiträge

max. 2 Seiten bis spätestens **26. Oktober 2018** über die Workshop-Homepage

Veranstalter

GI FA 3.5 / GMM FA 6.5 / ITG FA 8.2

ITG



GMM

RSS Kooperationsgemeinschaft Rechnergestützter Schaltungs- und Systementwurf

Tagungsleitung

Dr. Jürgen Alt
Intel Deutschland GmbH
Am Campeon 10-12
85579 Neubiberg
Tel.: +49 89 998853 22655
E-mail: juergen.alt@intel.com

Programmkomitee-Vorsitzender

Dr. Stephan Eggersglüß
Mentor, A Siemens Business
Tempowerkring 1B
21079 Hamburg
Tel.: +49 40 48401 2834
E-mail: stephan_eggersgluess@mentor.com